



**This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.**

**출 원 번 호 : 특허출원 2003년 제 0071633 호**  
Application Number 10-2003-0071633

**출 원 년 월 일 : 2003년 10월 15일**  
Date of Application OCT 15, 2003

**출 원 인 : 엘지이노텍 주식회사**  
Applicant(s) LG INNOTECH CO., LTD.

2004 년 10 월 25 일

특 허 청

COMMISSIONER



## 【소재사항】

**4.특성】** 특허출원서  
**특허구분】** 특허  
**출원지】** 특허청  
**출원번호】** 0001  
**출원일자】** 2003.10.15  
**국제특허분류】** H01S  
**발명의 명칭】** 질화물 반도체 발광소자 및 그 제조방법  
**발명의 명칭영문】** Nitride semiconductor LED and fabrication method thereof  
**발명인】**  
**【발명】** 엘지이노텍 주식회사  
**【출원인 코드】** 1-1998-000285-5  
**대리인】**  
**【상장】** 이창복  
**【대리인 코드】** 9-1998-000616-9  
**【모공위임등록번호】** 2002-038994-0  
**발명지】**  
**【상장의 국문표기】** 이석현  
**【상장의 영문표기】** LEE,Suk Hun  
**【주민등록번호】** 690427-1951815  
**【우편번호】** 506-302  
**【주소】** 광주광역시 광산구 월계동 리안7차아파트 705동 502호  
**【국적】** KR  
**【소재청구】** 청구  
**【비고】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규  
 정에 의한 출원심사 를 청구합니다. 대리인  
 이창복 (인)

## 수수료】

|          |           |   |           |   |
|----------|-----------|---|-----------|---|
| 【기본출원료】  | 20        | 면 | 29,000    | 원 |
| 【기산출원료】  | 12        | 면 | 12,000    | 원 |
| 【우선권주청료】 | 0         | 건 | 0         | 원 |
| 【심사청구료】  | 37        | 원 | 1,293,000 | 원 |
| 【합계】     | 1,334,000 |   | 원         |   |

-

【부속지】

1. 양악시 양세시(도면) 1쪽

【요약서】

1.의)

본 방법에 따른 상이층 반도체 발광소자는, 기판과; 상기 기판 위에 형성된 버층과; 상기 버층 위에 형성된 인듐이 도핑된 In-doped GaN층과; 상기 In-doped N층 위에 형성된  $In_xGa_{1-x}N/In_yGa_{1-y}N$  조각사 구조층과; 상기  $In_xGa_{1-x}N/In_yGa_{1-y}N$  조각사 구조층 위에 형성된 n형의 제 1 전극층과; 상기 제 1 전극층 위에 형성된 제  $SiN_x$  클리스티층과; 상기 제 1  $SiN_x$  클리스티층 위에 형성된 제 1  $In_xGa_{1-x}N$ 층과; 기 제 1  $In_xGa_{1-x}N$ 층 위에 형성된 제 2  $SiN_x$  클리스티층과; 상기 제 2  $SiN_x$  클리스티층 위에 형성된, 빛을 방출하는 활성층과; 상기 활성층 위에 형성된 p-GaN층; 및 기 p-GaN층 위에 형성된 n형의 제 2 전극층;을 포함하는 것에 그 특징이 있다.

【표도】

도 1

## 【명세서】

### 발명의 명칭

질화물 반도체 발광소자 및 그 제조방법(Nitride semiconductor LED and  
rication method thereof)

### 1.명의 간단한 설명

도 1은 본 발명에 따른 질화물 반도체 발광소자의 제 1 실시 예의 적층 구조를 나타낸 도면.

도 2는 본 발명에 따른 질화물 반도체 발광소자의 제 2 실시 예의 적층 구조를 나타낸 도면.

도 3은 본 발명에 따른 질화물 반도체 발광소자의 전류 특성을 나타낸 도면.

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 질화물 반도체에 관한 것으로서, 더 상세하게는 질화물 반도체 발광 소자의 광출력 및 신뢰성을 향상시킬 수 있는 질화물 반도체 발광소자 및 그 제조방법에 관한 것이다.

일반적으로 GaN계 질화물 반도체는 그 응용 분야에 있어서 청색/녹색 LED의 발광 소자 및 MESFET, HEMT 등의 고속 스위칭, 고출력 소자인 전자소자에 응용되고 있다. 이 청색/녹색 LED 소자는 이미 양산화가 진행된 상태이며 전세계적인 매출은 지속적으로 증가되고 있는 상황이다.

이외 같은 GaN계 질화물 반도체 발광소자는 주로 사파이어 기판 또는 SiC 기판에서 성장된다. 그리고, 저온의 성장 온도에서 사파이어 기판 또는 SiC 기판 위에  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 층의 직접성 박막을 버퍼층(buffer layer)으로 성장시키고, 이후 고온에서 기 버퍼층 위에 도핑되지 않은 GaN 층, 실리콘(Si)이 도핑된 n-GaN 층 또는 성장 조의 혼합된 구조로 성장시켜 n-GaN 층을 제 1 전극층으로 하며, 상부에 미그네슘(Mg)이 도핑된 p-GaN 층을 제 2 전극층으로 하여 질화물 반도체 발광소자가 제조된다. 또한, 발광층(나중양자우물구조 활성층)은 상기 n-GaN 층의 제 1 전극층과 p-GaN의 제 2 전극층 사이에 샌드위치 구조로 형성된다.

그런데, 이와 같은 구조를 구비하는 질화물 반도체 발광소자는 기판과 버퍼층면에서 발생하는 결함결함이 약  $10^6/\text{cm}^2$  정도로 매우 높은 값을 가지며, 그에 따른 화물 반도체 발광소자의 전기적 특성 특히, 역비이득 조건 하에서 누설전류가 증하게 됨으로써, 소자의 신뢰성에 치명적인 영향을 미치는 문제점이 있다.

또한, 이러한 버퍼층과 기판 사이의 계면에서 발생하는 결함결함은 활성층의 결함에 대해서도 저하시키게 됨으로써, 질화물 반도체 발광소자의 발광효율을 떨어뜨리는 문제점이 있다.

한편, GaN계 질화물 반도체의 성능을 향상시키고, 신뢰성을 보다 확보하기 위하여, 현재 새로운 버퍼층에 대한 모색 및 GaN계 질화물 반도체의 제조방법에 대한 연구 활발하게 진행되고 있는 실정이다.

## ▶▶▶이 이룩코사 하는 기술서 과세▶▶▶

본 법안은, 살아있는 만도제 발원소지를 이루는 원천종의 감정성을 인정시키고, 솜이 및 산파성을 인정시킬 수 있는 살아있는 만도제 발원소재 및 그 제조방법을 제 안에 그 목적이 있다.

### 방법의 구성 및 작용

성기의 복직을 달성하기 위하여 본 방법에 따른 실시를 인도제 발명소자는, 기  
과: 상기 기판 위에 형성된 비희박층: 상기 비희박층 위에 형성된 인물이 도핑된  
·doped GaN층: 상기 In·doped GaN층 위에 형성된  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  조커자 구  
층: 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  조커자 구조층 위에 형성된 n형의 제 1 전극층:  
기 제 1 전극층 위에 형성된 제 1  $\text{SiN}_x$  클리스터층: 상기 제 1  $\text{SiN}_x$  클리스터층  
에 형성된 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층: 상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된 제 2  $\text{SiN}_x$  클리  
스터층: 상기 제 2  $\text{SiN}_x$  클리스터층 위에 형성된, 및을 포함하는 형성층: 상기  
성층 위에 형성된 p-GaN층: 및 상기 p-GaN층 위에 형성된 n형의 제 2 전극층: 을  
임하는 점에 그 특징이 있다.

또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 질화물 반도체 발광소자  
다른 실시 예는, 기판과; 상기 기판 위에 형성된 비미층과; 상기 비미층 위에 형  
된 인듐이 도핑된 In-doped GaN층과; 상기 In-doped GaN층 위에 형성된  $\text{In}_x\text{Ga}_{1-x}$   
 $\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층과; 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 위에 형성된 n  
의 제 1 전극층과; 상기 제 1 전극층 위에 형성된 제 1  $\text{SiN}_x$  클러스터층과; 상기  
1  $\text{SiN}_x$  클러스터층 위에 형성된 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과; 상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에  
성된 제 2  $\text{SiN}$

클러스티층과; 상기 제 2  $\text{SiN}_x$  클러스티층 위에 형성된,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우층/ $\text{In}_y\text{Ga}_{1-y}\text{N}$  심벽층 구조의 제 1 암사우층층과; 상기 제 1 암사우층층 위에 형성된 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과; 상기 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된, 적어도 하나 이상의  $x\text{Ga}_{1-y}\text{N}$  우층층/ $\text{In}_y\text{Ga}_{1-y}\text{N}$  심벽층 구조로 이루어진 제 2 암사우층층과; 상기 제 2 암사우층층 위에 형성된 p-GaN층; 및 상기 p-GaN층 위에 형성된 n형의 제 2 전극층; 포함하는 것에 그 특징이 있다.

또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 질화물 반도체 발광소자 제조방법은, 기판 위에 버퍼층을 형성하는 단계와; 상기 버퍼층 위에 인듐이 도핑된 제 1 In-doped GaN층을 형성하는 단계와; 상기 제 1 In-doped GaN층 위에  $x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층을 형성하는 단계와; 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 위에 n형의 제 1 전극층을 형성하는 단계와; 상기 제 1 전극층 위에 제 2  $\text{SiN}_x$  클러스티층을 형성하는 단계와; 상기 제 1  $\text{SiN}_x$  클러스티층 위에 제 1  $x\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계와; 상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 제 2  $\text{SiN}_x$  클러스티층을 형성하는 단계와; 상기 제 2  $\text{SiN}_x$  클러스티층 위에 빛을 방출하는 활성층을 형성하는 단계와; 상기 활성층 위에 p-GaN층을 형성하는 단계; 및 상기 p-GaN층 위에 n형의 제 2 전극층을 형성하는 단계;를 포함하는 것에 그 특징이 있다.

또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 질화물 반도체 발광소자 제조방법의 다른 실시 예는, 기판 위에 버퍼층을 형성하는 단계와; 상기 버퍼층 위에 인듐이 도핑된 In-doped GaN층을 형성하는 단계와; 상기 In-doped GaN층 위에  $x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층을 형성하는 단계와; 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 위에 n형의 제 1 전극층을 형성하는 단계와; 상기 제 1 전극층 위에 제



$\text{SiN}_x$  클러스티층을 형성하는 단계와; 상기 제 1  $\text{SiN}_x$  클러스티층 위에 제 1  $\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계와; 상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 제 2  $\text{SiN}_x$  클러스티층을 형성하는 단계와; 상기 제 2  $\text{SiN}_x$  클러스티층 위에,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  무정층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$  상층 구조의 제 1 양자우물층을 형성하는 단계와; 상기 제 1 양자우물층 위에 제 2  $\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계와; 상기 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에, 적어도 하나 이상의  $\text{Ga}_{1-y}\text{N}$  무정층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$  상벽층 구조로 이루어진 제 2 양자우물층을 형성하는 단계와; 상기 제 2 양자우물층 위에 p-GaN층을 형성하는 단계; 및 상기 p-GaN층 위에 n의 제 2 전극층을 형성하는 단계;를 포함하는 것에 그 특징이 있다.

이와 같은 본 발명에 의하면, 질화물 반도체 발광소자를 이루는 활성층의 결함을 향상시키고, 발광여 및 신뢰성을 향상시킬 수 있는 장점이 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세히 설명한다.

본 발명은 질화물 반도체 발광소자 및 그 제조방법에 관한 것으로서, 기존의 제 전극층으로 사용되는 n-GaN층과 제 2 전극층으로 사용되는 p-GaN층, 그리고 그 사이에 빛을 방출하는 활성층으로 된 p-/n-접합 발광소자의 성장기술과는 달리 실리콘 인듐이 동시 도핑된 n-GaN층을 제 1 전극층으로, n- $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ (Si-doped) 격자층을 제 2 전극층으로 사용하는 n-/p-/n- 타입의 접합을 갖는 질화물 반도체 발광소자 및 그 제조방법을 제시하고자 한다.

도 1은 본 발명에 따른 질화물 반도체 발광소자의 제 1 실시 예의 적층 구조를 타낸 도면이다.

본 방법에 따른 상하층 반도체 발광소자는, 도 1에 나타난 바와 같이, 기판 (02) 위에 비외층 (104)이 형성되어 있다. 여기서, 상기 비외층 (104)은  $\text{AlInN}$  구조,  $\text{GaN/GaN}$  초격자 구조,  $\text{In}_x\text{Ga}_{1-x}\text{N/GaN}$  격층구조,  $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N/In}_x\text{Ga}_{1-x}\text{N/GaN}$ 의 격 구조 중에서 선택되어 형성될 수 있다.

그리고, 상기 비외층 (104) 위에는 인듐이 도핑된 In-doped GaN층 (106)이 형성되어 있으며, 상기 In-doped GaN층 (106) 위에는  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (08)이 형성되어 있다. 또한, 상기  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (100) 위에는 인듐이 도핑된 In-doped GaN층 (110)이 형성되어 있으며, 그 위에는  $x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (112)이 더 형성되어 있다. 여기서, 인듐이 도핑된 n-doped GaN층 및 상기  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층은 복수로 반복되어 더 형성되도록 할 수도 있다.

상기  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (112) 위에는 n형의 제 1 전극층이 구비되며, 본 방법에서는 상기 제 1 전극층으로 삼리핀과 인듐이 동시 도핑된 Si-In-doped GaN층 (114)을 형성하였다.

그리고, 상기 Si-In co-doped GaN층 (114) 위에 제 1  $\text{SiN}_x$  클러스터층 (116)이 형성되며, 상기 제 1  $\text{SiN}_x$  클러스터층 (116) 위에는 인듐 함량이 적게 도핑된 제 1  $\text{In}_x\text{In}_{1-x}\text{N}$ 층 (118)이 형성되고, 상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (118) 위에는 제 2  $\text{SiN}_x$  클러스터층 (20)이 다시 형성되도록 하였다. 이때, 상기 제 1  $\text{SiN}_x$  클러스터층 (116)과 제 2  $\text{N}_x$  클러스터층 (120)은 원자 척도 (atomic scale)의 두께로 형성하였다.

상기 제 2  $\text{SiN}_x$  클러스터층 (120) 위에는 빛을 방출하는 활성층을 형성하였다. 방법에서는,  $\text{In}_x\text{Ga}_{1-x}\text{N}$  우층층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$  심벽층으로 형성되는 단일양자우층구조는 다중양자우층구조로 활성층을 형성하도록 하였으며, 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}$  우층층과  $\text{In}_x\text{Ga}_{1-x}\text{N}$  심벽층 사이에는  $\text{SiN}_x$  클러스터층을 가지 형성하였다.

즉 본 방법에 따른 활성층은, 도 1에 나타난 바와 같이,  $\text{In}_x\text{Ga}_{1-x}\text{N}$  우층층/ $\text{SiN}_x$  클러스터층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$  심벽층 (122) (124) (126)으로 구성되는 하나의 양자우층구조로 성립 수 있다. 그리고, 그 위로  $\text{In}_x\text{Ga}_{1-x}\text{N}$  우층층/ $\text{SiN}_x$  클러스터층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$  심벽층 (128) (130) (132)이 다중으로 형성되는 다중양자우층구조로 형성될 수도 있다.

또한, 상기와 같은 구조로 형성되는 활성층 상부에는 p-GaN층 (136)이 형성되며, 이 p-GaN층 (136) 위에는 n형의 제 2 전극층이 형성된다. 본 방법에서는 제 2 전극으로서 실리콘이 도핑된  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조 (super lattice structure)의 층으로 형성하였다. 또한, 상기 활성층과 p-GaN층 (136) 사이에는  $\text{SiN}_x$  클러스터층 (134)을 더 형성하였다. 이때, 상기  $\text{SiN}_x$  클러스터층 (134)은 원자 척도 (atomic scale)의 두께로 형성되도록 하였다.

이에 따라 본 방법에 의하면, 실리콘과 인듐이 동시 도핑된 Si-In co-doped GaN (114)을 제 1 전극층으로, n- $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  (Si-doped) 초격자층 (138)을 제 2 전극층으로 구비하는 n-/p-/n- 타입의 접합을 갖는 정회합 반도체 발광소자를 형성할 있게 된다. 여기서, 상기 제 1 전극층 및 제 2 전극층에는 후술 진행되는 공정에 각각 전극 (미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

속 더 부연하여 설명하면, 본 방법에서는 상이한 반도체 발광소자의 발광여과  
 특성을 향상시키기 위해서, 활성층을 성장시키기 전에 인듐 함량이 낮은 low-mole  
 $\text{In}_{x-1}\text{Ga}_{1-x}\text{N}$ 층 (118)의 성장 선후에 겹쳐서 원자 척도 (atomic scale)의  $\text{SiN}_x$  클러스터층  
 16) (120)을 성장시켰다 ( $\text{SiN}_x/\text{low-mole In}_{x-1}\text{Ga}_{1-x}\text{N}/\text{SiN}_x$ ). 또한 본 방법에서는 활성층  
 형성함에 있어서도, 다시  $\text{In}_{x-1}\text{Ga}_{1-x}\text{N}$  우층층 (122) (128)과  $\text{In}_{x-1}\text{Ga}_{1-x}\text{N}$  장벽층  
 26) (132) 사이에 층상구조로  $\text{SiN}_x$  클러스터층 (124) (130)이 삽입된 구조로 형  
 하였니 ( $\text{In}_{x-1}\text{Ga}_{1-x}\text{N}/\text{SiN}_x/\text{In}_{x-1}\text{Ga}_{1-x}\text{N}$ ).

또한, 본 방법에서는 미그네슘 (Mg) 원소가 도핑된 p-GaN층 (136)으로부터, 활성  
 층으로 미그네슘의 내부 확산을 억제하기 위해서 마지막  $\text{In}_{x-1}\text{Ga}_{1-x}\text{N}$  장벽층 (132)을  
 성장시킨 후, 원자 척도 (atomic scale)의  $\text{SiN}_x$  클러스터층 (134)을 형성시켰다.

이에 따라, 종래의 제 2 전극층으로 사용되는 p-GaN층의 낮은 미그네슘 도핑 효  
 과에 의해서 발생하는 높은 접촉저항과, 그에 수반되는 전극 주위의 전류밀집  
 (current crowding)에 의해 발생하는 신뢰성의 문제를  $\text{n-In}_{x-1}\text{Ga}_{1-x}\text{N}/\text{In}_{y-1}\text{Ga}_{1-y}\text{N}$  초격자  
 을 제 2 전극층으로 사용함으로써 충분히 개선할 수 있다. 즉, n<sup>+</sup>-층에 의한 전류  
 피집을 효과적으로 하여 균일한 동작전압과 그에 따른 발광소자의 수명을 효과적  
 로 증대시켜 신뢰성을 개선할 수 있다. 특히 이러한 n<sup>+</sup>/p<sup>+</sup>/n<sup>+</sup> 터널링 접합 발광소  
 구조는 많은 업이 발생하는 내면적 고효율 발광소자에 효율적으로 대응할 수 있는  
 접점이 있다.

본 방법에서는, 내부양자효율 (internal quantum efficiency)을 향상시켜 광출력  
 증대시키기 위해서 활성층의 스트레인 (strain)을 제어하도록 인듐 함량이 낮은

high-mole In<sub>x</sub>Ga<sub>1-x</sub>N층 (110)을 형성시켰다. 또한, 인듐 변동 (fluctuation)에 의한 암전류 및 역방향 누설전류(reverse leakage current)를 계산시키기 위해서 상기 high-mole In<sub>x</sub>Ga<sub>1-x</sub>N층 (110)의 성장 전후에, 원자 척도(atomic scale)의 두께로 SiN<sub>x</sub> 클러스터층 (116) (120)을 형성하였다. 이와 같은 과정을 통하여, SiN<sub>x</sub> 클러스터층 (16)/low-mole In<sub>x</sub>Ga<sub>1-x</sub>N (110)/SiN<sub>x</sub> 클러스터층 (120)으로 구성되는 스트레인 제어층을 성장시켰다.

그리고, SiN<sub>x</sub> 클러스터층/low-mole In<sub>x</sub>Ga<sub>1-x</sub>N/SiN<sub>x</sub> 클러스터층 (116) (118) (120)으로 구성되는 스트레인 제어층을 성장시킨 이후, 범하는 피질 영역의 빛을 방출하는 층은 In<sub>x</sub>Ga<sub>1-x</sub>N 우물층/SiN<sub>x</sub> 클러스터층/In<sub>y</sub>Ga<sub>1-y</sub>N 장벽층을 하나의 단위 구조로 하여 단일양자우물층(single quantum well) 또는 다중양자우물층(multi quantum well)을 형성하였다.

여기서, 빛을 방출하는 우물층과 장벽층 각각의 인듐 함량은 In<sub>x</sub>Ga<sub>1-x</sub>N (0<x<35)/SiN<sub>x</sub>/In<sub>x</sub>Ga<sub>1-x</sub>N (0<x<0.1)으로 구성된다. 그리고, 양자우물구조로 구성된 활성의 성장단계에 있어, N<sub>2</sub>, H<sub>2</sub>·N<sub>2</sub> 캐리어 가스 및 NH<sub>3</sub> 분위기에서 TMGa, TMIn, SiH<sub>4</sub>, Alk 소스를 유입시켜 성장시킨다.

또한, 상기 Low-mole In<sub>x</sub>Ga<sub>1-x</sub>N층 (118)에 도핑되는 인듐의 함량은 0<x<0.1의 값 가져도록 할 수 있다. 그리고, 상기 Low-mole In<sub>x</sub>Ga<sub>1-x</sub>N층 (118)의 두께는 10-300 Å이며 우물층과 장벽층의 두께는 각각 10-30Å 및 50-250Å 정도로 구성되며 성장온도는 730-770℃ 정도이다. 이때, 상기 Low-mole In<sub>x</sub>Ga<sub>1-x</sub>N층 (118)은 그 표면 형상이 나선형상(spiral mode)으로 성장되도록 제어하며, 그 성장된 나선형상은

성층의 표면까지 연결될 수 있도록 제어한다. 그리고, 무충층과 상벽층사이에 삽입된  $\text{SiN}_x$  클러스터층 (124) (130)은 원자 척도 (atomic scale)로 제어되며  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$  및 시간과  $\text{NH}_3$  유입을 거처고 그 특성을 제어할 수 있다.

상기  $\text{SiN}_x$  클러스터층/Low mole  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층/ $\text{SiN}_x$  클러스터층 /무충층/ $\text{SiN}_x$  클러스터층/상벽층/ $\text{SiN}_x$  클러스터층 구조로 이루어지는 활성층을 성장시킨 후, 성장온도를 증가시켜 미그네슘 원소가 도핑된 p-GaN층 (136)을  $\text{H}_2$ ,  $\text{N}_2$ ,  $\text{H}_2\text{+N}_2$ 와  $\text{NH}_3$  기스 분위기에서 성장시킨다.

이때, 상기 p-GaN층 (136)은 미그네슘이 도핑되어 형성되며, 그 형성과정에서 미네슘의 도핑량을 순차적으로 증가시켜, 도핑량이 순차적으로 증가되는 복수층 구조를 형성시킨다. 예로서, 상기 p-GaN층 (136)은 미그네슘 도핑량이 순차적으로 증가된 3층 구조로 구성되며 두께는 500~2500Å이며 이때 성장온도는 900~1020℃ 범위에 성장된다.

상기 p-GaN층 (136)을 성장시킨 후,  $\text{n-In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (138)을 성장시키고 인듐 함량이 낮은  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 < y < 0.1$ ) 층만 과대하게 실리콘 원소를 도핑해 집속저항을 낮추어 전계 두께 제어를 통한 터널링 효과를 갖게 한다. 이에 따라, 상기  $\text{n-In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  (Si) 초격자 구조층 (138)은 제 2 전극층으로 사용되전류 피침을 효과적으로 수행한다. 여기서, 제 2 전극층으로 사용되는 상기 초격층의 두께는 각각 2~50Å으로 교대로 구성되며 최대 200Å 미만으로 구성하여 광출과 및 신뢰성이 우수한 성능을 갖는 터널링 접합 구조의 n-/p-/n- 접합 교위도/교위상 방광소자를 형성할 수 있게 된다.

한편, 도 2는 본 방법에 따른 실외용 반도체 발광소자의 제 2 실시 예의 적층 구조를 나타낸 도면이다. 여기서, 무층층과 실외층으로 구성된 한 쌍의 임시무층층 위에 인듐 도핑 한쌍이 적은  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층을 추가로 형성하며, 효과적으로 역방향피선입을 향상시켜 발광소자의 신뢰성을 향상시킬 수 있도록 하였다.

본 방법에 따른 실외용 반도체 발광소자의 제 2 실시 예는, 도 2에 나타낸 바와 같이, 기판 (202) 위에 비피층 (204)이 형성되어 있다. 여기서, 상기 비피층 (204)은  $\text{InN}$  구조,  $\text{InGaN/GaN}$  초격자 구조,  $\text{In}_x\text{Ga}_{1-x}\text{N/GaN}$  적층구조,  $x\text{In}_y\text{Ga}_{1-x-y}\text{N/In}_x\text{Ga}_{1-x}\text{N/GaN}$ 의 적층구조 중에서 선택되어 형성될 수 있다.

그리고, 상기 비피층 (204) 위에는 인듐이 도핑된  $\text{In-doped GaN}$ 층 (206)이 형성되어 있으며, 상기  $\text{In-doped GaN}$ 층 (206) 위에는  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (208)이 형성되어 있다. 또한, 상기  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (208) 위에는 인듐이 도핑된  $\text{In-doped GaN}$ 층 (210)이 형성되어 있으며, 그 위에는  $x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (212)이 더 형성되어 있다. 여기서, 인듐이 도핑된  $\text{n-doped GaN}$ 층 및 상기  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층은 복수로 반복되어 더 형성되도록 할 수도 있다.

상기  $\text{In}_x\text{Ga}_{1-x}\text{N/In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 (212) 위에는 n형의 제 1 전극층이 구비되며, 본 방법에서는 상기 제 1 전극층으로 삼리핀과 인듐이 중시 도핑된  $\text{Si-In-doped GaN}$ 층 (214)을 형성하였다.

그리고, 상기  $\text{Si-In co-doped GaN}$ 층 (214) 위에 제 1  $\text{SiN}_x$  클러스터층 (216)이 형성되며, 상기 제 1  $\text{SiN}_x$  클러스터층 (216) 위에는 인듐 함량이 적게 도핑된  $\text{Low-mole}$

$\text{Ga}_{1-x}\text{N}$ 층 (210)이 형성되고, 상기 Low mole  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (210) 위에는 제 2  $\text{SiN}_x$  클러스터층 (220)이 다시 형성되도록 하였다. 이때, 상기 Low mole  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (210)은 표면 형상이 나선형상(spiral mode)으로 성장되도록 제어하였으며, 상기 제 1  $\text{N}_x$  클러스터층 (210)과 제 2  $\text{SiN}_x$  클러스터층 (220)은 원자 척도(atomic scale)의 두께로 형성하였다.

상기 제 2  $\text{SiN}_x$  클러스터층 (220) 위에는  $\text{In}_x\text{Ga}_{1-x}\text{N}$  우층층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$  장벽층 (22) (224) 구조의 제 1 양자우층층이 형성되어 있다. 또한, 상기 제 1 양자우층층에는 인듐 도핑 함량이 적은  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (226)이 형성되어 있고, 그 위에는 적어도 나 이상의  $\text{In}_x\text{Ga}_{1-x}\text{N}$  우층층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$  장벽층 (228) (230) 구조로 이루어진 다중 양자우층층이 형성된다.

여기서, 인듐 도핑 함량이 적은 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (226)은 300~2000Å 정도의 두께로 성장되며, 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (226) 위에 성장되는 단일양자우층층 또는 다중양자층층의 스트레인(strain) 정도를 제어하여 빔출력과 특히, 역방향누설전류를 효과적으로 억제할 수 있는 방법.초저를 제조할 수 있게 된다. 이때, 인듐 도핑 함량이 적은 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (226)에 도핑되는 인듐의 함량은 장벽층에 도핑되는 인듐 함량에 비해 더 작은 값을 가지도록 한다.

또한, 상기와 같은 구조로 형성되는 활성층 상부에는 p-GaN층 (232)이 형성되며, 기 p-GaN층 (232) 위에는 n형의 제 2 전극층이 형성된다. 본 발명에서는 제 2 전극으로서 실리콘이 도핑된  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조(super lattice ructure)의 층으로 형성하였다.



에 따라 본 방법에 의하면, 실리콘의 함유가 농사 도핑된 Si-In co-doped GaN (214)층 제 1 전극층으로,  $n\text{-In}_x\text{Ga}_{1-x}\text{N}/\text{InyGa}_{1-y}\text{N}$  (Si-doped) 초격자층 (234)층 제 2 전극층으로 구비하는  $n\text{-}/p\text{-}/n\text{-}$  타입의 집합을 갖는 집합성 반도체 발광소자를 형성할 수 있게 된다. 여기서, 상기 제 1 전극층 및 제 2 전극층에는 주류 전행되는 공정에 각각 전극 (미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

그리고 이와 같은 구조를 갖는 발광소자는, 도 3에 나타낸 바와 같이, 역방향피 전압을 효과적으로 형성시켜 발광소자의 신뢰성을 증대시킬 수 있게 된다. 도 3은 방법에 따른 집합성 반도체 발광소자의 전류 특성을 나타낸 도면이다.

본 방법에 따른 집합성 반도체 발광소자의 제 2 실시 예의 제조방법은 도 1을 조하여 설명된 바와 유사하므로 여기서는 그 상세한 설명은 생략하기로 한다.

#### 방법의 효과

이상의 설명에서와 같이 본 방법에 따른 집합성 반도체 발광소자 및 그 제조방법에 의하면, 집합성 반도체 발광소자를 이루는 발광층의 결정성을 향상시키고, 방출 및 신뢰성을 향상시킬 수 있는 장점이 있다.

특이점구분위]

구분 1]

- 기판과:
- 상기 기판 위에 형성된 버퍼층과:
- 상기 버퍼층 위에 형성된 인듐이 도핑된 In-doped GaN층과:
- 상기 In-doped GaN층 위에 형성된  $In_xGa_{1-x}N/In_yGa_{1-y}N$  초격자 구조층과:
- 상기  $In_xGa_{1-x}N/In_yGa_{1-y}N$  초격자 구조층 위에 형성된 n형의 제 1 전극층과:
- 상기 제 1 전극층 위에 형성된 제 1  $SiN_x$  절리스티층과:
- 상기 제 1  $SiN_x$  절리스티층 위에 형성된 제 1  $In_xGa_{1-x}N$ 층과:
- 상기 제 1  $In_xGa_{1-x}N$ 층 위에 형성된 제 2  $SiN_x$  절리스티층과:
- 상기 제 2  $SiN_x$  절리스티층 위에 형성된, 빛을 방출하는 활성층과:
- 상기 활성층 위에 형성된 p-GaN층: 및
- 상기 p-GaN층 위에 형성된 n형의 제 2 전극층: 을 포함하는 것을 특징으로 하는

LED 발광 반도체 발광소자.

구분 2]

- 기판과:
- 상기 기판 위에 형성된 버퍼층과:
- 상기 버퍼층 위에 형성된 인듐이 도핑된 In-doped GaN층과:
- 상기 In-doped GaN층 위에 형성된  $In_xGa_{1-x}N/In_yGa_{1-y}N$  초격자 구조층과:

7

2. 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 위에 형성된 n형의 제 1 전극층과,

상기 제 1 전극층 위에 형성된 제 1  $\text{SiN}_x$  클러스터층과;

상기 제 1  $\text{SiN}_x$  클러스터층 위에 형성된 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과;

상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된 제 2  $\text{SiN}_x$  클러스터층과;

상기 제 2  $\text{SiN}_x$  클러스터층 위에 형성된,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우층층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$  장벽층

구조의 제 1 양자우물층과;

상기 제 1 양자우물층 위에 형성된 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과;

상기 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된, 적어도 하나 이상의  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우층층/ $\text{In}_z$

$_{1-z}\text{N}$  장벽층 구조로 이루어진 제 2 양자우물층과;

상기 제 2 양자우물층 위에 형성된 p-GaN층; 및

상기 p-GaN층 위에 형성된 n형의 제 2 전극층; 을 포함하는 것을 특징으로 하는

외장 반도체 발광소자.

[구상 3]

제 1항 또는 제 2항에 있어서,

상기 버퍼층은,  $\text{AlInN}$  구조,  $\text{InGaN}/\text{GaN}$  초격자 구조,  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$  적층구조,

$x\text{In}_y\text{Ga}_{1-x-y}\text{N}/\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ 의 적층구조 중에서 선택되어 형성된 것을 특징으로 하는

외장 반도체 발광소자.

영구항 4]

제 1항 또는 제 2항에 있어서,

상기 제 1 산화층은 실리콘과 인듐이 동시에 도핑된 GaN층인 것을 특징으로 하는  
외장 반도체 발광소자.

영구항 5]

제 1항 또는 제 2항에 있어서,

상기 제 1  $\text{SiN}_x$  클러스터층과 제 2  $\text{SiN}_x$  클러스터층은 원자 척도 (atomic scale)  
두께로 형성된 것을 특징으로 하는 실외용 반도체 발광소자.

영구항 6]

제 1항 또는 제 2항에 있어서,

상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상 (spiral mode)으로 성장된 것  
특징으로 하는 실외용 반도체 발광소자.

영구항 7]

제 1항에 있어서,

상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상 (spiral mode)으로 성장되며,  
나선형상은 상기 활성층의 표면까지 연결되어 성장된 것을 특징으로 하는 실외용  
도체 발광소자.

요구항 8]

제 1항에 있어서,

상기 활성층은,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  무질층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$  질박층으로 형성되는 단일양자우물 구조 또는 다중양자우물구조로 구성된 것을 특징으로 하는 질화물 반도체 발광소자.

요구항 9]

제 8항에 있어서,

상기  $\text{In}_y\text{Ga}_{1-y}\text{N}$  무질층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$  질박층에 도핑되는 인듐 함량과 상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$  층에 도핑되는 인듐 함량은, 각각  $0 < x < 0.1$ ,  $0 < y < 0.35$ ,  $0 < z < 1$ 의 값을 갖는 것을 특징으로 하는 질화물 반도체 발광소자.

요구항 10]

제 8항에 있어서,

상기 활성층을 이루는  $\text{In}_y\text{Ga}_{1-y}\text{N}$  무질층과  $\text{In}_z\text{Ga}_{1-z}\text{N}$  질박층 사이에,  $\text{SiN}_x$  클리어층이 더 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

요구항 11]

제 1항에 있어서,

상기 활성층과 p-GaN층 사이에,  $\text{SiN}_x$  클리어층이 더 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

영구항 12]

제 10항 또는 제 11항에 있어서,

상기 SiNx 클러스터층은 원자 척도(atomic scale)의 두께로 형성된 것을 특징으

하는 질화물 반도체 발광소자.

영구항 13]

제 1항 또는 제 2항에 있어서,

상기 제 2 전극층은  $In_xGa_{1-x}N/In_yGa_{1-y}N$  초격자 구조(super lattice structure)

형성된 것을 특징으로 하는 질화물 반도체 발광소자.

영구항 14]

제 13항에 있어서,

상기 초격자 구조를 이루는  $In_xGa_{1-x}N/In_yGa_{1-y}N$ 층에는 실리콘이 도핑된 것을 특

으로 하는 질화물 반도체 발광소자.

영구항 15]

제 13항에 있어서,

상기 초격자 구조를 이루는  $In_xGa_{1-x}N/In_yGa_{1-y}N$ 층은 각각 2~50Å의 두께로 교대

구성되며, 전체 200Å 미만의 두께로 형성된 것을 특징으로 하는 질화물 반도체  
발광소자.

영구항 16]

제 1항 또는 제 2항에 있어서,

상기 기판 위에 형성된 버퍼층과 상기 제 1 전극층 사이에는,

상기 버퍼층 위에 형성된 인듐이 도핑된 In-doped GaN층 및 상기 인듐 도핑된 In-doped GaN층 위에 형성된  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  조개자 구조층이 복수로 반복되어 적층 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구상 17】

제 1항 또는 제 2항에 있어서,

상기 p-GaN층은 미그네슘이 도핑되어 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구상 18】

제 17항에 있어서,

상기 p-GaN층은 미그네슘이 도핑되어 형성되며, 그 형성과정에서 미그네슘의 도량을 순차적으로 증가시키, 도량당이 순차적으로 증가되는 복수층 구조로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구상 19】

제 2항에 있어서,

상기 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은  $0 < x < 0.1$ 의 인듐 함량을 포함하며, 300-2000Å의 두께로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구상 20】

기판 위에 버퍼층을 형성하는 단계와;

상기 버퍼층 위에 인듐이 도핑된 제 1 In-doped GaN층을 형성하는 단계와;

상기 제 1 In-doped GaN층 위에  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층을 형성하는  
 제 1 단계.

상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 위에 n개의 제 1 전극층을 형성하는  
 제 2 단계.

상기 제 1 전극층 위에 제 1  $\text{SiN}_x$  클러스터층을 형성하는 단계 3.

상기 제 1  $\text{SiN}_x$  클러스터층 위에 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$  층을 형성하는 단계 4.

상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 제 2  $\text{SiN}_x$  클러스터층을 형성하는 단계 5.

상기 제 2  $\text{SiN}_x$  클러스터층 위에 빛을 방출하는 활성층을 형성하는 단계 6.

상기 활성층 위에 p-GaN층을 형성하는 단계 7. 빛

상기 p-GaN층 위에 n개의 제 2 전극층을 형성하는 단계 8. 흡 포함하는 것을 특징

로 하는 발광 반도체 발광소자 제조방법.

9구항 21]

기판 위에 비피층을 형성하는 단계 9.

상기 비피층 위에 인듐이 도핑된 In-doped GaN층을 형성하는 단계 10.

상기 In-doped GaN층 위에  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층을 형성하는 단계

11.

상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 위에 n개의 제 1 전극층을 형성하는  
 제 1 단계.

상기 제 1 전극층 위에 제 1  $\text{SiN}_x$  클러스터층을 형성하는 단계 2.



상기 제 1  $\text{SiN}_x$  클러스터층 위에 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$  층을 형성하는 단계와;

상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 제 2  $\text{SiN}_x$  클러스터층을 형성하는 단계와;

상기 제 2  $\text{SiN}_x$  클러스터층 위에,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우층층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$  침박층 구조의

1 입사우층층을 형성하는 단계와;

상기 제 1 입사우층층 위에 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계와;

상기 제 2  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에, 적어도 하나 이상의  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우층층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$

벽층 구조로 이루어진 제 2 입사우층층을 형성하는 단계와;

상기 제 2 입사우층층 위에 p-GaN층을 형성하는 단계; 및

상기 p-GaN층 위에 n형의 제 2 전극층을 형성하는 단계;를 포함하는 것을 특징

로 하는 집회용 반도체 발광소자 제조방법.

[구상 22]

제 20항 또는 제 21항에 있어서,

상기 제 1  $\text{SiN}_x$  클러스터층과 제 2  $\text{SiN}_x$  클러스터층은 원자 척도(atomic scale)

두께로 형성되는 것을 특징으로 하는 집회용 반도체 발광소자 제조방법.

[구상 23]

제 20항 또는 제 21항에 있어서,

상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되는

을 특징으로 하는 집회용 반도체 발광소자 제조방법.

【구상 24】

제 20항에 있어서,

상기 활성층은,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우층층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$  침적층으로 구성되는 단일층구조 또는 다중층구조로 형성되는 것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

【구상 25】

제 24항에 있어서,

상기 활성층을 이루는  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우층층과  $\text{In}_z\text{Ga}_{1-z}\text{N}$  침적층 사이에,  $\text{SiN}_x$  클러스터를 형성하는 단계를 더 구비하는 것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

【구상 26】

제 20항에 있어서,

상기 활성층과 p-GaN층 사이에,  $\text{SiN}_x$  클러스터를 형성하는 단계를 더 구비하는 것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

【구상 27】

제 20항 또는 제 21항에 있어서,

상기 기판 위에 형성된 버퍼층과 상기 제 1 전극층 사이에,

상기 버퍼층 위에 형성된 인듐이 도핑된 In-doped GaN층 및 상기 인듐 도핑된 In-doped GaN층 위에 형성된  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층이 복수로 반복되어

층 형성되는 단계가 나 구별하는 것을 특징으로 하는 질화물 반도체 발광소자 제조 방법.

【구상 2B】

제 20항 또는 제 21항에 있어서,  
상기 p-GaN층은 마그네슘이 도핑되어 형성되며, 그 형성과정에서 마그네슘의 도  
량을 순차적으로 증가시키, 도핑량이 순차적으로 증가되는 복수층 구조로 형성되는  
것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

【구상 2B】

기판과:  
상기 기판 위에 형성된 n-GaN층과:  
상기 n-GaN층 위에 형성된 제 1  $\text{SiN}_x$  클러스터층과:  
상기 제 1  $\text{SiN}_x$  클러스터층 위에 형성된 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과:  
상기 제 1  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된 제 2  $\text{SiN}_x$  클러스터층과:  
상기 제 2  $\text{SiN}_x$  클러스터층 위에 형성된, 빛을 방출하는 활성층: 및  
상기 활성층 위에 형성된 p-GaN층: 을 포함하는 것을 특징으로 하는 질화물 반  
도체 발광소자.

【구상 3B】

기판과:  
상기 기판 위에 형성된 n-GaN층과:

상기 n-GaN층 위에 형성된 제 1 SiNx 클러스터층과:

상기 제 1 SiNx 클러스터층 위에 형성된 제 1 In<sub>x</sub>Ga<sub>1-x</sub>N층과:

상기 제 1 In<sub>x</sub>Ga<sub>1-x</sub>N층 위에 형성된 제 2 SiNx 클러스터층과:

상기 제 2 SiNx 클러스터층 위에 형성된, In<sub>y</sub>Ga<sub>1-y</sub>N 무정층/In<sub>2</sub>Ga<sub>1-y</sub>N 삼벽층

구조의 제 1 양자우물층과:

상기 제 1 양자우물층 위에 형성된 제 2 In<sub>x</sub>Ga<sub>1-x</sub>N층과:

상기 제 2 In<sub>x</sub>Ga<sub>1-x</sub>N층 위에 형성된, 적어도 하나 이상의 In<sub>y</sub>Ga<sub>1-y</sub>N 무정층/In<sub>2</sub>

<sub>1-y</sub>N 삼벽층 구조로 이루어진 제 2 양자우물층: 및

상기 제 2 양자우물층 위에 형성된 p-GaN층: 을 포함하는 것을 특징으로 하는

외형 반도체 발광소자.

[구형 31]

제 29항 또는 제 30항에 있어서,

상기 p-GaN층 위에 n-GaN층이 더 형성된 것을 특징으로 하는 집회합 반도체 발

광소자.

[구형 32]

제 31항에 있어서,

상기 n-GaN층은 In<sub>x</sub>Ga<sub>1-x</sub>N/In<sub>y</sub>Ga<sub>1-y</sub>N 초격자 구조(super lattice structure)로

형성된 것을 특징으로 하는 집회합 반도체 발광소자.

【연구항 33】

제 32항에 있어서,

상기 초격자 구조를 이루는  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 층에는 실리콘이 도핑된 것을 특  
으로 하는 질화물 반도체 발광소자.

【연구항 34】

제 20항 또는 제 30항에 있어서,

상기 n-GaN층은,

인듐이 도핑된 In-doped GaN층과; 상기 In-doped GaN층 위에 형성된  $\text{In}_x\text{Ga}_{1-x}$   
 $\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층; 및 상기  $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$  초격자 구조층 위에 형성된,  
리본과 인듐이 동시 도핑된 GaN층;을 구비하는 것을 특징으로 하는 질화물 반도체  
발광소자.

【연구항 35】

제 20항에 있어서,

상기 활성층은,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우물층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$  장벽층으로 형성되는 단일양자우물  
조 또는 다중양자우물구조로 구성된 것을 특징으로 하는 질화물 반도체 발광소자.

【연구항 36】

제 35항에 있어서,

상기 활성층을 이루는  $\text{In}_y\text{Ga}_{1-y}\text{N}$  우물층과  $\text{In}_x\text{Ga}_{1-x}\text{N}$  장벽층 사이에,  $\text{SiN}_x$  플러  
터층이 더 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

예제 37]

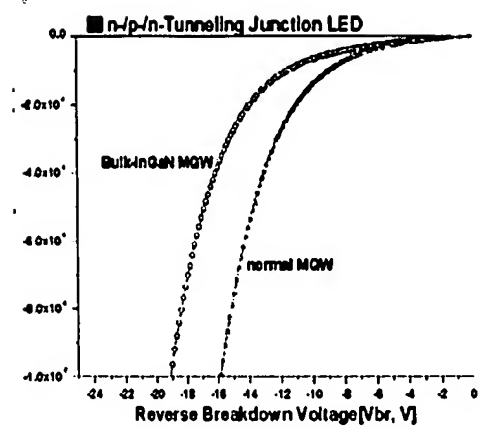
제 28항에 있어서,  
상기 활성층과 p-GaN층 사이에, SiNx 클러스터층이 더 형성된 것을 특징으로 하는  
실리콘 반도체 발광소자.

|  |     |
|--|-----|
| Si-doped In <sub>x</sub> Ga <sub>1-x</sub> N/Si-doped In <sub>x</sub> Ga <sub>1-x</sub> N SL | 138 |
| p-GaN  | 136 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 상막층  | 134 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 우물층  | 132 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 우물층  | 130 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 우물층  | 128 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 상막층  | 126 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 우물층  | 124 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 우물층  | 122 |
| Low mole In <sub>x</sub> Ga <sub>1-x</sub> N   | 120 |
| Low mole In <sub>x</sub> Ga <sub>1-x</sub> N   | 118 |
| Si-In co-doped GaN   | 116 |
| Si-In co-doped GaN   | 114 |
| In <sub>x</sub> Ga <sub>1-x</sub> N/In <sub>y</sub> Ga <sub>1-y</sub> N SL                   | 112 |
| In-doped GaN   | 110 |
| In <sub>x</sub> Ga <sub>1-x</sub> N/In <sub>y</sub> Ga <sub>1-y</sub> N SL                   | 108 |
| In-doped GaN   | 106 |
| 버퍼층  | 104 |
| 기판   | 102 |

|  |     |
|--|-----|
| S <sub>i</sub> -doped In <sub>x</sub> Ga <sub>1-x</sub> N/S <sub>i</sub> -doped In <sub>y</sub> Ga <sub>1-y</sub> N SL | 234 |
| p-GaN  | 232 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 장벽층  | 230 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 우물층  | 228 |
| In <sub>x</sub> Ga <sub>1-x</sub> N  | 226 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 장벽층  | 224 |
| In <sub>x</sub> Ga <sub>1-x</sub> N 우물층  | 222 |
| Low mole In <sub>x</sub> Ga <sub>1-x</sub> N   | 220 |
| Low mole In <sub>x</sub> Ga <sub>1-x</sub> N   | 218 |
| S <sub>i</sub> -In co-doped GaN  | 216 |
| S <sub>i</sub> -In co-doped GaN  | 214 |
| In <sub>x</sub> Ga <sub>1-x</sub> N/In <sub>y</sub> Ga <sub>1-y</sub> N SL   | 212 |
| In-doped GaN   | 210 |
| In <sub>x</sub> Ga <sub>1-x</sub> N/In <sub>y</sub> Ga <sub>1-y</sub> N SL   | 208 |
| In-doped GaN   | 206 |
| 비피층  | 204 |
| 기판   | 202 |



Fig. 3)



# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR04/002606

International filing date: 13 October 2004 (13.10.2004)

Document type: Certified copy of priority document

Document details: Country/Office: KR  
Number: 10-2003-0071633  
Filing date: 15 October 2003 (15.10.2003)

Date of receipt at the International Bureau: 21 October 2004 (21.10.2004)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse